

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	)	
	)	
Kazuhiro NISHIMURA	)	Group Art Unit: Unassigned
	)	
Application No.: Unassigned	)	Examiner: Unassigned
	)	
Filed: December 10, 2003	)	Confirmation No.: Unassigned
	)	
For: TEST DEVICE OF A/D CONVERTER	)	

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2002-365650  
Filed: December 17, 2002

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: December 10, 2003

By: 

Platon N. Mandros  
Registration No. 22,124

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月17日

出 願 番 号

Application Number:

特願2002-365650

[ST.10/C]:

[JP2002-365650]

出 願 人

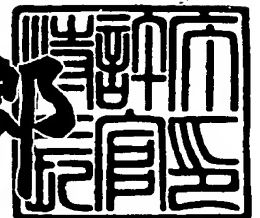
Applicant(s):

三菱電機株式会社

2003年 1月17日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2002-3106944

【書類名】 特許願

【整理番号】 542017JP01

【提出日】 平成14年12月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H03M 1/10

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 西村 和博

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100066474

    【弁理士】

    【氏名又は名称】 田澤 博昭

【選任した代理人】

    【識別番号】 100088605

    【弁理士】

    【氏名又は名称】 加藤 公延

【手数料の表示】

    【予納台帳番号】 020640

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 A/Dコンバータのテスト装置

【特許請求の範囲】

【請求項1】 被測定A/Dコンバータの出力デジタルコードと測定のために与えられるビット遷移点を示すデジタルコードとを比較し、判定出力として両デジタルコードの大小に対応したデューティ比のデジタル信号を生成する比較判定回路と、

正方向電流源と、

電流値の絶対値が前記正方向電流源と実質的に等しく設定された負方向電流源と、

前記正方向電流源または前記負方向電流源が接続された場合に入力される電流から出力積分電圧を得る積分回路と、

前記積分回路の積分出力に所定の三角波信号またはのこぎり波信号を重畳して前記被測定A/Dコンバータの入力電圧として出力する加減算回路と、

前記判定出力が前記ビット遷移点を示すデジタルコードより大きいことを示す期間では前記出力積分電圧を減少させるように前記正方向電流源および前記負方向電流源の一方を前記積分回路に接続し、また、前記判定出力が前記ビット遷移点を示すデジタルコードより小さいことを示す期間では前記出力積分電圧を増加させるように前記正方向電流源および前記負方向電流源の他方を前記積分回路に接続するスイッチ手段と、

測定のために前記積分回路の出力積分電圧を取り出す手段とを備えたA/Dコンバータのテスト装置。

【請求項2】 第2の正方向電流源と、

電流値の絶対値が前記第2の正方向電流源と実質的に等しく設定された第2の負方向電流源と、

比較判定回路に与えられるビット遷移点を示すデジタルコードよりも上の値のデジタルコードが設定入力され、被測定A/Dコンバータの出力デジタルコードと当該上の値のデジタルコードとを比較し、その大小に対応したデューティ比のデジタル信号を第2の判定出力として生成する第2の比較判定回路と、

前記ビット遷移点を示すデジタルコードよりも下の値のデジタルコードが設定入力され、前記被測定 A/D コンバータの出力デジタルコードと当該下の値のデジタルコードとを比較し、その大小に対応したデューティ比のデジタル信号を第 3 の判定出力として生成する第 3 の比較判定回路とを備え、

スイッチ手段は、前記第 2 の判定出力が前記上の値のデジタルコードより大きいことを示す期間では出力積分電圧を減少させるよう、また、前記第 3 の判定出力が前記下の値のデジタルコードより小さいことを示す期間では前記出力積分電圧を増加させるよう、積分回路に既に接続されている正方向電流源または負方向電流源と同じ電流方向を持つ前記第 2 の正方向電流源または前記第 2 の負方向電流源を前記積分回路に接続するようにしたことを特徴とする請求項 1 記載の A/D コンバータのテスト装置。

【請求項 3】 積分回路の出力積分電圧を取り出し測定する経路に設けられたフィルタ回路を備えたことを特徴とする請求項 1 または請求項 2 記載の A/D コンバータのテスト装置。

【請求項 4】 被測定 A/D コンバータの出力デジタルコードと測定のために与えられたビット遷移点を示すデジタルコードとを比較し、判定出力として両デジタルコードの大小対応したデューティ比のデジタル信号を生成する比較判定回路と、

前記判定出力のデジタル信号を積分する第 1 の積分回路と、

基準電圧と前記第 1 の積分回路の出力積分電圧との差をとり、差の電圧に対応した電流値およびその方向の電流を得る電圧差・電流変換回路と、

得られた電流値およびその方向の電流を積分し、前記両デジタルコードを等しくする方向の出力積分電圧を生成する第 2 の積分回路と、

前記第 2 の積分回路の出力積分電圧に所定の三角波信号またはのこぎり波信号を重ねて前記被測定 A/D コンバータの入力電圧として出力する加減算回路と、

測定のために前記第 2 の積分回路の出力積分電圧を取り出す手段とを備えた A/D コンバータのテスト装置。

【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

この発明はA/Dコンバータに適用し、そのテストを容易化するためのA/Dコンバータのテスト装置に関するものである。

## 【 0 0 0 2 】

## 【従来の技術】

従来のA/Dコンバータのテスト回路（例えば、特許文献1，2，3参照）の原理的な構成は図8のようなブロック図で示される。被測定A/Dコンバータ501の出力デジタル信号502はコントロール回路535に入力され、ここで、判定される。判定の結果として得られるコントロール信号は、信号経路537を通して可変電源536に与えられる。被測定A/Dコンバータ501の入力端子509へ入力する電圧値は可変電源536から与えられるが、その電圧値はコントロール信号により制御されることで変化する。コントロール回路535では、被測定A/Dコンバータ501の出力デジタル信号502と所定のデジタルコードと比較し、出力デジタル信号の方が大きい場合、可変電源536の出力電圧値を下げるコントロール信号を出力し、また、出力デジタル信号502の方が小さければ出力電圧値を上げるコントロール信号を出力する。最終的に、出力デジタル信号502が変化する時の入力電圧値を、そのデジタルコードに対応するビット（Bit）遷移点として記憶する。従来のテストでは、このコントロール回路535および可変電源536は、テストとよばれる測定装置が持つ機能を用いて実施するのが一般的である。

## 【 0 0 0 3 】

## 【特許文献1】

特開平2-145022号公報（図1）

## 【特許文献2】

特開昭56-79965号公報（図1）

## 【特許文献3】

特開平4-129331号公報（図2～図3）

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

従来の A/D コンバータのテスト回路は、以上のように構成されていたので、所定のデジタルコードに対応するビット遷移点を測定するためには、A/D コンバータの出力デジタル信号をモニタしながら、入力電圧を細かく変動させる測定ルーチンを何度もくりかえさなければならず、煩雑で時間のかかる測定であった。特に、高精度で測定を行いたい場合には、繰り返し回数が指数関数的に増えてしまうので問題となっていた。

## 【0 0 0 5】

この発明は、上記のような問題点を解決するためになされたもので、所定のデジタルコードを入力設定することで、そのビット遷移点に対応する A/D コンバータの入力電圧を自動的に出力するように動作し、煩雑な測定ルーチンを必要としない高速、かつ測定を容易にする A/D コンバータのテスト装置を得ることを目的とする。

## 【0 0 0 6】

## 【課題を解決するための手段】

この発明に係る A/D コンバータのテスト装置は、被測定 A/D コンバータの出力デジタルコードと測定のために与えられるビット遷移点を示すデジタルコードとを比較し、判定出力として両デジタルコードの大小に対応したデューティ比のデジタル信号を生成する比較判定回路と、正方向電流源と、電流値の絶対値が正方向電流源と実質的に等しく設定された負方向電流源と、正方向電流源または負方向電流源が接続された場合に入力される電流から出力積分電圧を得る積分回路と、積分回路の出力積分電圧に所定の三角波信号またはのこぎり波信号を重畳して被測定 A/D コンバータの入力電圧として出力する加減算回路と、判定出力がビット遷移点を示すデジタルコードより大きいことを示す期間では出力積分電圧を減少させるように正方向電流源および前記負方向電流源の一方を積分回路に接続し、また、判定出力がビット遷移点を示すデジタルコードより小さいことを示す期間では出力積分電圧を増加させるように正方向電流源および負方向電流源の他方を積分回路に接続するスイッチ手段と、測定のために積分回路の積分出力を取り出す手段とを備えたものである。

## 【 0 0 0 7 】

## 【 発 明 の 実 施 の 形 態 】

以下、この発明の各実施の形態を説明する。

## 実施の形態 1.

この発明の実施の形態 1 による A/D コンバータのテスト装置の構成を示す回路図である。図において、被測定 A/D コンバータ 1 0 1 は、入力されるアナログ信号を A/D 変換し出力端子 1 0 2 からデジタル出力を取り出すようになっている。また、出力端子 1 0 2 のデジタル出力値は、比較判定回路 1 0 4 に与えられ、ここで入力端子 1 0 3 から測定のために与えられるビット遷移点を決めるためのデジタルコードと比較される。比較判定回路 1 0 4 は、ビット遷移点を決めるためのデジタルコードに対して出力端子 1 0 2 のデジタル出力が示すデジタルコードが大きければハイ電圧（以下、「H」とする）を出力し、一方、出力端子 1 0 2 のデジタルコードが小さければロー電圧（以下、「L」とする）を出力するよう動作する。

## 【 0 0 0 8 】

また、この図 1 の回路配置では、正方向電流源 1 0 5 と負方向電流源 1 0 6 が設けられており、電流源 1 0 5 と 1 0 6 の電流値の絶対値が実質的に等しく設定されるものとする。この発明のスイッチ手段としてスイッチ 1 0 7、1 0 8 が設けられており、スイッチ 1 0 7 は、比較判定回路 1 0 4 の出力が「L」の場合、正方向電流源 1 0 5 をコンデンサとオペアンプで構成された積分回路 1 1 0 に接続するよう動作する。

## 【 0 0 0 9 】

一方、スイッチ 1 0 8 は、比較判定回路 1 0 4 の出力が「H」の場合、負方向電流源 1 0 6 を積分回路 1 1 0 に接続するよう動作する。積分回路 1 1 0 は、電流源 1 0 5 または 1 0 6 から入力される電流値を積分し、得られた出力積分電圧を加減算回路 1 1 5 に与えるように接続されている。また、積分回路 1 1 0 の出力積分電圧は、その値を測定のために出力端子 1 0 9 から取り出すようにしている。なお、積分回路 1 1 0 のコンデンサの両端に接続されたスイッチ 1 1 2 は積分回路 1 1 0 をリセットするためのものである。加減算回路 1 1 5 は、積分回路



110の出力積分電圧に三角波発生回路116の出力三角波を重畳し、スイッチ113を介してその電圧をA/Dコンバータ101に与えるよう動作する。なお、スイッチ113は、被測定A/Dコンバータ113のテスト時にだけオンにし、被測定A/Dコンバータ113が組み込まれたチップの一般使用時にはオフにしておく。

## 【0010】

図2はこの発明の実施の形態1に係る動作を示すタイムチャートである。122は所定のデジタルコードに対応するビット遷移点の電圧、121は積分回路110の出力積分電圧、126は電圧121に三角波が重畳された加減算回路115の出力電圧である。123は比較判定回路104の判定出力のデジタル信号、124はスイッチ107のオン・オフ期間、125はスイッチ108のオン・オフ期間を表す。スイッチ107がオンの期間は正方向電流源105が積分回路110に接続される期間を、また、スイッチ108がオンの期間は負方向電流源106が接続される期間を表すことになる。

## 【0011】

図2から分るように、積分回路110の出力積分電圧121に三角波を重畳しA/Dコンバータ101に入力しているため、比較判定回路104の判定出力123は、この三角波を重畳した加減算回路115の出力電圧126の値がビット遷移点121よりも大きくなる期間T1だけ「L」を呈し、また、小さくなる期間T2だけ「H」を呈する。すなわち、三角波の存在により判定出力123はデジタル信号となり、ビット遷移点121との関係でそのデューティ比 $T2 / (T1 + T2)$ が変化することになる。

## 【0012】

いま、積分回路110の出力積分電圧121の値がビット遷移点122より低いとき、 $1/2 < T2 / (T1 + T2)$  から $T1 < T2$ となる。したがって、正方向電流源105より負方向電流源106が接続される期間が長くなるから、積分回路110には負方向の電流量が多く入力されるようになり、積分回路110の出力積分電圧121は増加することになる。逆に、積分回路110の出力積分電圧121の値がビット遷移点122より大きいとき、図示していないが、T1

>T 2となる。したがって、負方向電流源106より正方向電流源105が接続される期間が長くなるから、積分回路110には正方向の電流量が多く入力され、積分回路110の出力積分電圧121は減少することになる。

これらの動作において、やがて積分回路110の出力積分電圧121の値はビット遷移点122と同じ値に近づき、 $T1 = T2$ となる。すなわち、この制御系は平行状態となり、積分回路110の出力積分電圧121の値の変動はなくなり安定する。この安定ときの積分回路110の出力積分電圧を出力端子109から取り出して測定すれば、入力端子103に入力したデジタルコードに対応したビット遷移点の電圧値の測定を容易にすることが可能となる。なお、上記説明では、積分回路110の出力積分電圧に重畳する信号を三角波信号としたが、代わりにのこぎり波信号を用いても同様な動作を行わせることが可能であり、以下、他の実施の形態においても同じである。

#### 【0013】

以上のように、この実施の形態1によれば、比較判定回路104により被測定A/Dコンバータ101の出力デジタルコードと測定のために与えられたビット遷移点を示すデジタルコードとを比較し、判定出力として両デジタルコードの大小に対応したデューティ比のデジタル信号を生成し、このデジタル信号に応答するスイッチ手段(107, 108)により、判定出力がビット遷移点を示すデジタルコードより大きいことを示す期間では負方向電流源106を積分回路110に接続してその出力積分電圧を減少させ、また、判定出力がビット遷移点を示すデジタルコードより小さいことを示す期間では正方向電流源105を積分回路110に接続してその出力積分電圧を増加させるように制御し、加減算回路115により、積分回路110の積分出力に所定の三角波信号またはのこぎり波信号を重畳して被測定A/Dコンバータ101に出力し、測定のために積分回路110の出力積分電圧の値を取り出すようにしたので、入力端子103に測定のためのデジタルコードを設定することで自動的にそのビット遷移点の電圧に収束することができたため、ビット遷移点の測定を高速化し、かつ容易にする効果が得られる。なお、上記説明では、積分回路110は反転入力を使用する例について示したが、非反転入力を用いる積分回路を用いてもよい。ただし、その場合には、接続

される電流源の方向は上記例と逆になる。

#### 【 0 0 1 4 】

実施の形態 2.

図 3 はこの発明の実施の形態 2 による A/D コンバータのテスト装置の構成を示す回路図で、図 1 と同一および相当する部分には同一符号で示す。異なる点は、比較判定回路 1 0 4 の他に複数個の比較判定回路 2 0 4 a, 2 0 4 b を設け、負方向電流源 1 0 6 の他に 1 0 6 b、正方向電流源 1 0 5 の他に 1 0 5 b を備えていることである。なお、電流源 1 0 5 b と 1 0 6 b の電流値の絶対値は実質的に等しく設定されるものとする。

比較判定回路 2 0 4 a の入力端子 2 0 3 a に与えるデジタルコードは比較判定回路 1 0 4 に与えられるビット遷移点を表すデジタルコードよりも上の値（例えば、3 ビット位）とし、他方の比較判定回路 2 0 4 b の入力端子 2 0 3 b に与えるデジタルコードはビット遷移点を表すデジタルコードよりも下の値（同様に 3 ビット位）に設定される。この状態を図 4 のタイムチャートで見ると、ビット遷移点を表す電圧 1 2 2 に対して高く設定された 1 2 2 a は比較判定回路 2 0 4 a のデジタルコードが表す設定電圧を示し、また低く設定された 1 2 2 b は比較判定回路 2 0 4 b のデジタルコードが表す設定電圧を示している。

#### 【 0 0 1 5 】

被測定 A/D コンバータ 1 0 1 の出力デジタルコードが入力端子 1 0 3 の所定のデジタルコードよりも十分低く、かつ入力端子 2 0 3 b に与えられているデジタルコードよりも低い値を示す状態であったとする。すなわち、図 4 では、被測定 A/D コンバータ 1 0 1 の加減算回路 1 1 5 の出力電圧 1 2 6 の三角波の部分が、ビット遷移点 1 2 2 より低く、さらに電圧 2 2 2 b より低い状態となった場合である。このとき、実施の形態 1 と同様に、期間 T 2 においてスイッチ 1 0 8 が閉じ、負方向電流源 1 0 6 を積分回路 1 1 0 に接続する。また、期間 T 2 において、比較判定回路 2 0 4 b の出力 1 2 3 b が期間 T 3 に「H」となり、スイッチ 1 0 8 b を閉じて負方向電流源 1 0 6 b を積分回路 1 1 0 に接続する。したがって、期間 T 3 では、2 つの負方向電流源 1 0 6, 1 0 6 b が同時に接続されるため、積分回路 1 1 0 の出力積分電圧 1 2 1 はビット遷移点 1 2 2 の方向に早い

速度で上昇し、被測定 A/D コンバータ 1 0 1 の測定速度を実施の形態 1 よりも上げることとなる。

#### 【 0 0 1 6 】

一方、被測定 A/D コンバータ 1 0 1 の加減算回路 1 1 5 の出力電圧 1 2 6 の三角波の部分が、上の設定電圧 1 2 2 a を超えた場合（図示せず）には、比較判定回路 1 0 4，2 0 4 a の判定出力において、同様にスイッチ 1 0 8，1 0 8 b を閉じる期間が発生する。したがって、その期間では、正方向電流源 1 0 5，1 0 5 b が積分回路 1 1 0 に接続され、積分回路 1 1 0 の出力積分電圧は早い速度で下降してビット遷移点 1 2 2 に近づくよう動作し、被測定 A/D コンバータ 1 0 1 の測定速度を実施の形態 1 より上げることとなる。

いずれの場合でも、加減算回路 1 1 5 の出力波形 1 2 6 が上下設定電圧 1 2 2 a，1 2 2 b 間に入った後は、実施の形態 1 と同じように比較判定回路 1 0 4 の判定出力 1 2 3 に従って正方向電流源 1 0 5 と負方向電流源 1 0 6 の接続が制御され、やがて積分回路 1 1 0 の出力積分電圧 1 2 1 の値はビット遷移点 1 2 2 と同じ値に近づく。この制御系は平行状態となり、積分回路 1 1 0 の出力積分電圧の値の変動はなくなり安定する。

#### 【 0 0 1 7 】

以上のように、この実施の形態 2 によれば、実施の形態 1 の構成に加え、第 2 の比較判定回路 2 0 4 a において、比較判定回路 1 0 4 に与えられるビット遷移点を示すデジタルコードよりも上の値のデジタルコードが設定入力され、被測定 A/D コンバータ 1 0 1 の出力デジタルコードと当該上の値のデジタルコードとを比較し、その大小に対応したデューティ比のデジタル信号を第 2 の判定出力として生成し、また、第 3 の比較判定回路 2 0 4 b において、ビット遷移点を示すデジタルコードよりも下の値のデジタルコードが設定入力され、被測定 A/D コンバータ 1 0 1 の出力デジタルコードと当該下の値のデジタルコードとを比較し、その大小に対応したデューティ比のデジタル信号を第 3 の判定出力として生成するようにし、スイッチ手段（1 0 7，1 0 7 b，1 0 8，1 0 8 b）は、第 2 の判定出力が上の値のデジタルコードより大きいことを示す期間には第 2 の正方向電流源 1 0 5 b を積分回路 1 1 0 に接続し、また、第 3 の判定出力が下の値の

デジタルコードより小さいことを示す期間には第2の負方向電流源106bを積分回路110に接続するよう制御するようにしたので、実施の形態1のテスト装置よりも応答特性をさらに向上させる効果が得られる。

## 【0018】

実施の形態3.

図5はこの発明の実施の形態3によるテスト装置の構成を示す回路図で、図1と異なるのは出力積分電圧の値を測定する経路にフィルタ回路119が挿入されている点である。このフィルタ回路119により、積分値の平滑化を行うと共に、スイッチ107、108の切り替えノイズを吸収し、高精度の測定結果を得ることができる。

## 【0019】

実施の形態4.

図6はこの発明の実施の形態4によるA/Dコンバータのテスト装置の構成を示す回路図で、図において、図1と異なるのはスイッチ107、108、正方向電流源105および負方向電流源106の代わりに、積分回路432、基準電圧源434および電圧差・電流変換回路433を設けた点である。すなわち、この実施の形態4では、定電流源とスイッチ回路を用いず、実施の形態1～3と同様な効果を得るようにしたものである。

## 【0020】

図7のタイムチャートにより実施の形態4に係る動作を説明すると、比較判定回路104の判定出力のデジタル信号123が積分回路432に与えられると、積分回路432は、その判定出力123を電流値に変換して積分する。次に、電圧差・電流変換回路433は、積分回路432の出力積分電圧と基準電圧源434の基準電圧428との差をとり、その差の電圧値を電流値に変換する。電圧差・電流変換回路433の出力電流は、積分回路110に直接入力される。

## 【0021】

図7に示すように、積分回路110の出力積分電圧421aがビット遷移点の電圧122より小さいとき、三角波が重畳されていることにより比較判定回路104の判定出力123のデューティ比は、 $1/2 < T2 / (T1 + T2)$  となる

。すなわち、 $T_1 < T_2$  となり、このサイクルの状態における積分回路 4 3 2 の出力積分電圧 4 2 7 a の値は基準電圧源 4 3 4 の基準電圧値 4 2 8 より高くなる。電圧差・電流変換回路 4 3 3 により、基準電圧 4 2 8 から積分回路 4 3 2 のこのときの出力積分電圧 4 2 7 a を引くと、マイナスの電圧値 4 2 9 a が得られ、これを電流変換した負方向の電流を積分回路 1 1 0 に出力する。このことにより、積分回路 1 1 0 の出力積分電圧 4 2 1 a の値は増加し、ビット遷移点の電圧 1 2 2 に近づいていく。

#### 【0 0 2 2】

逆に、積分回路 1 1 0 の出力積分電圧 4 2 1 b の値がビット遷移点の電圧 1 2 2 より大きいとき、デューティ比は  $1/2 > T_2 / (T_1 + T_2)$  となる。すなわち、 $T_1 > T_2$  となるから、積分回路 4 3 2 の出力積分電圧 4 2 7 b の値が基準電圧値 4 2 8 より低くなる。電圧差・電流変換回路 4 3 3 において、このとき基準電圧 4 2 8 から積分回路 4 3 2 の出力積分電圧 4 2 7 b を引けばプラスの電圧値 4 2 9 b が得られ、これを電流変換した正方向の電流を積分回路 1 1 0 に出力する。このことにより、積分回路 1 1 0 の出力積分電圧 4 2 1 b の値は減少し、ビット遷移点の電圧 1 2 2 に近づいていく。

いずれの動作においても、やがて、 $T_1 = T_2$  となると、電圧差・電流変換回路 4 3 3 から積分回路 1 1 0 に入力される電流値は 0 となり、積分回路 1 1 0 の出力積分電圧は変化しなくなり、平行状態になる。このときの積分回路 1 1 0 の出力積分電圧を出力端子 1 0 9 で測定すれば、入力端子 1 0 3 から比較判定回路 1 0 4 に入力したデジタルコードに対応したビット遷移点を測定することができる。

#### 【0 0 2 3】

以上のように、この実施の形態 4 によれば、比較判定回路 1 0 4 において、被測定 A/D コンバータ 1 0 1 の出力デジタルコードと測定のために与えられたビット遷移点を示すデジタルコードとを比較し、判定出力として両デジタルコードの大小に対応したデューティ比を持つデジタル信号を生成し、電圧差・電流変換回路 4 3 3 により、第 1 の積分回路 4 3 2 により判定出力のデジタル信号を積分し、基準電圧と第 1 の積分回路 4 3 2 の出力積分電圧との差をとり、差の電圧に

対応した電流値およびその方向の電流を得、第2の積分回路110により、得られた電流値およびその方向の電流を積分し、両デジタルコードを等しくする方向の出力積分電圧を生成し、加減算回路115により、第2の積分回路110の出力積分電圧に所定の三角波信号またはのこぎり波信号を重ねて被測定A/Dコンバータ101の入力電圧として出力し、測定のために第2の積分回路110の出力積分電圧を取り出すようにしたものである。すなわち、測定時に被測定A/Dコンバータ101に与える入力電圧に三角波を重ねることで、被測定A/Dコンバータの出力のデジタルコードを測定用に設定したデジタルコードと比較してデジタル信号を判定出力として得るようにし、そのデューティ比に応じて被測定A/Dコンバータのビット遷移点を得るための制御を行うため、ビット遷移点の測定を高速化し、かつ容易にする効果が得られる。

【0024】

【発明の効果】

以上のように、この発明によれば、ビット遷移点の測定時に被測定A/Dコンバータに与える入力電圧に三角波を重ねることで、被測定A/Dコンバータの出力デジタルコードを測定のため設定したデジタルコードとを比較判定回路で比較してデジタル信号を判定出力として得るようにし、両デジタルコード大小に対応するデューティ比に従って積分回路に与える電流を制御して自動的に被測定A/Dコンバータのビット遷移点の入力電圧を得るようにしたので、ビット遷移点の測定を高速化し、かつ容易にする効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるA/Dコンバータのテスト装置の構成を示す回路図である。

【図2】 この発明の実施の形態1に係る動作を示すタイムチャートである。

【図3】 この発明の実施の形態2によるA/Dコンバータのテスト装置の構成を示す回路図である。

【図4】 この発明の実施の形態2に係る動作を示すタイムチャートである。

【図 5】 この発明の実施の形態 3 による A/D コンバータのテスト装置の構成を示す回路図である。

【図 6】 この発明の実施の形態 4 による A/D コンバータのテスト装置の構成を示す回路図である。

【図 7】 この発明の実施の形態 4 に係る動作を示すタイムチャートである。

【図 8】 従来の A/D コンバータの測定の例を示す回路図である。

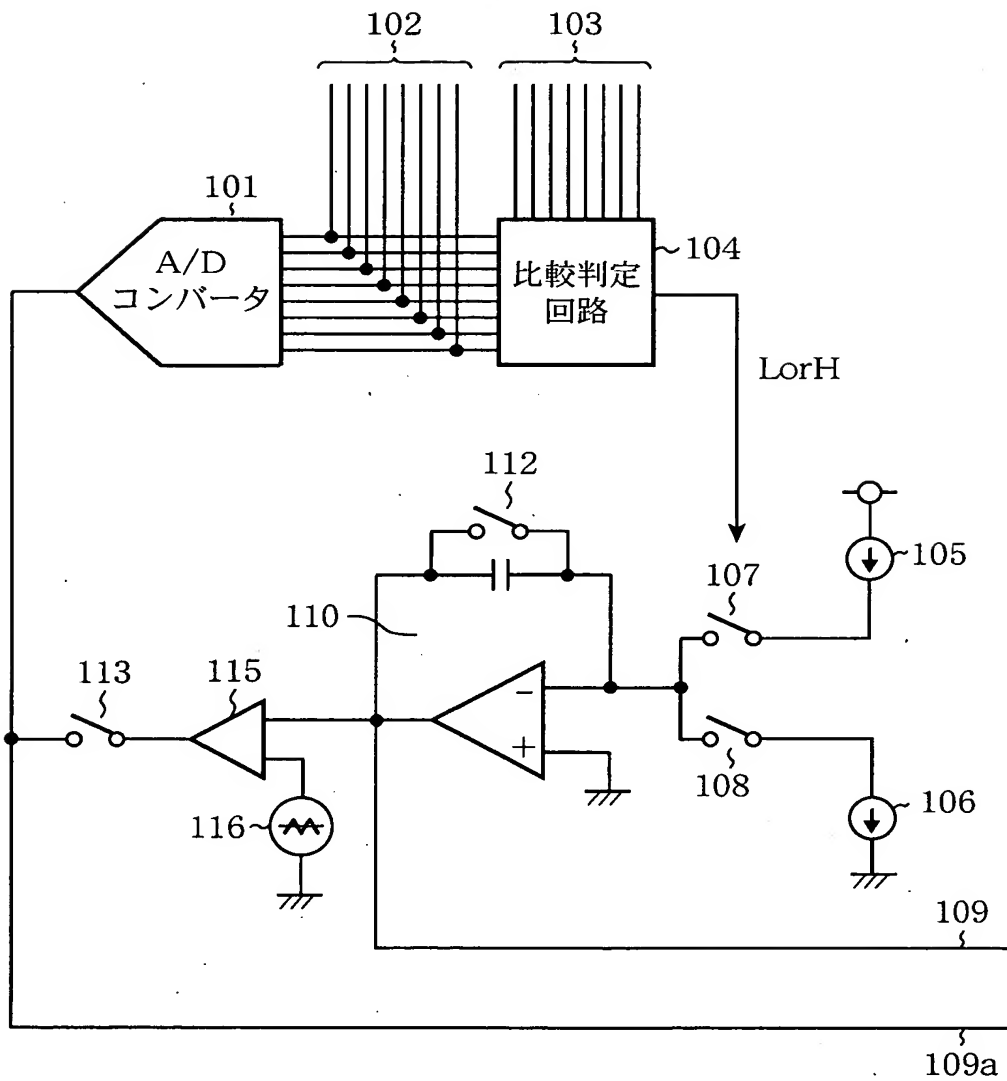
【符号の説明】

1 0 1 被測定 A/D コンバータ、1 0 2, 1 0 9, 1 0 9 a 出力端子、1 0 3, 2 0 3 a, 2 0 3 b 入力端子、1 0 4, 2 0 4 a, 2 0 4 b 比較判定回路、1 0 5, 1 0 5 b 正方向電流源、1 0 6, 1 0 6 b 負方向電流源、1 0 7, 1 0 7 b, 1 0 8, 1 0 8 b, 1 1 2, 1 1 3 スイッチ、1 1 0, 4 3 2 積分回路、1 1 5 加減算回路、1 1 6 三角波発生回路、4 3 3 電圧差・電流変換回路、4 3 4 基準電圧源。

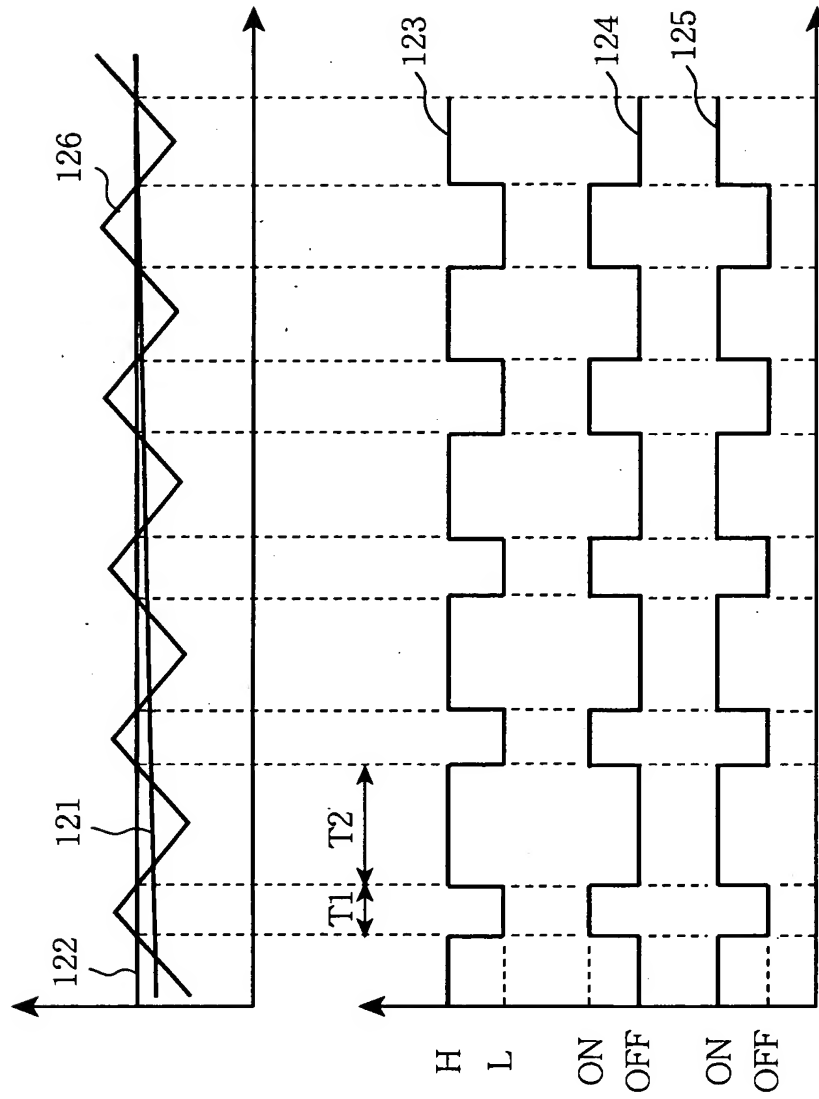


【書類名】 図面

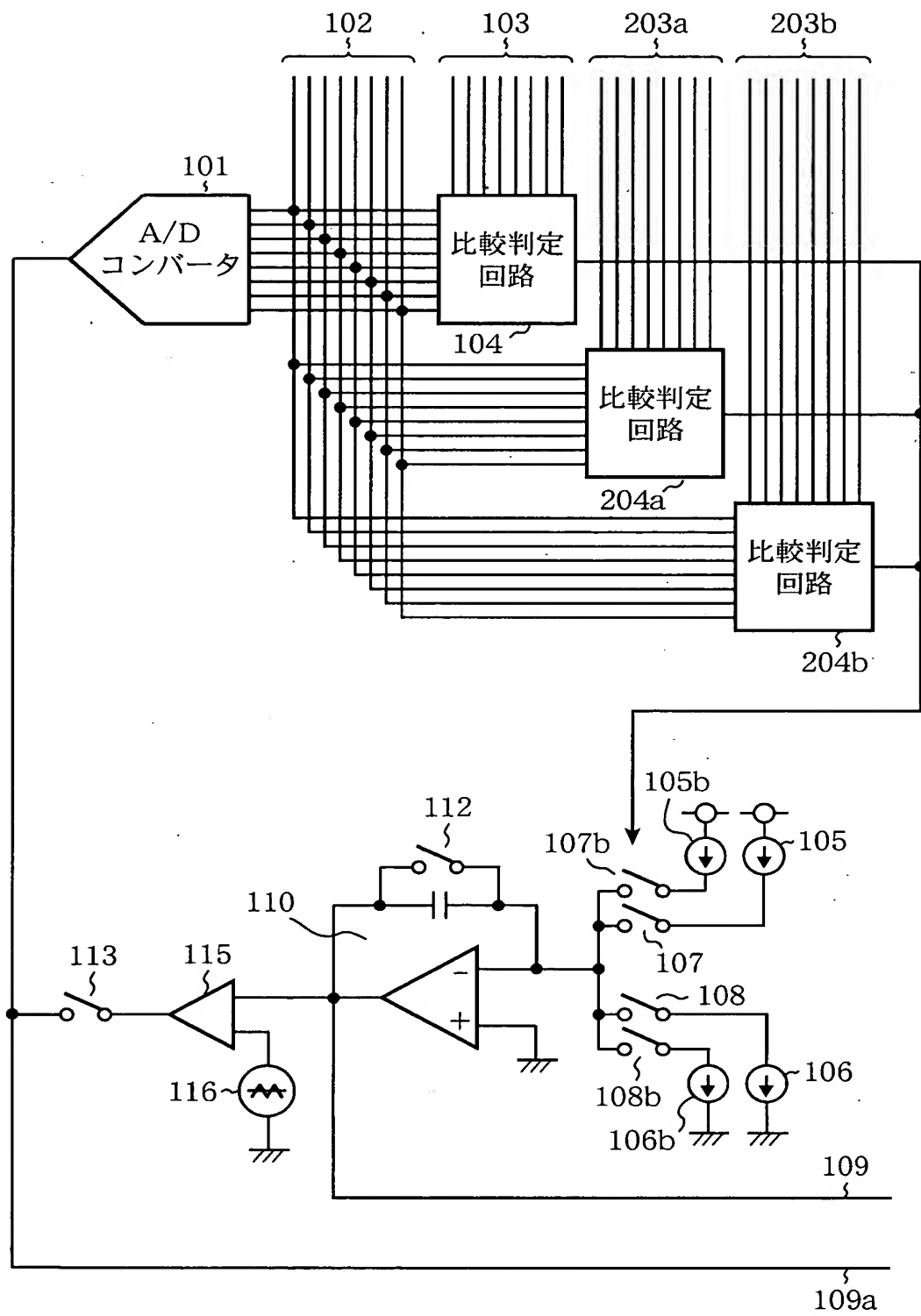
【図 1】



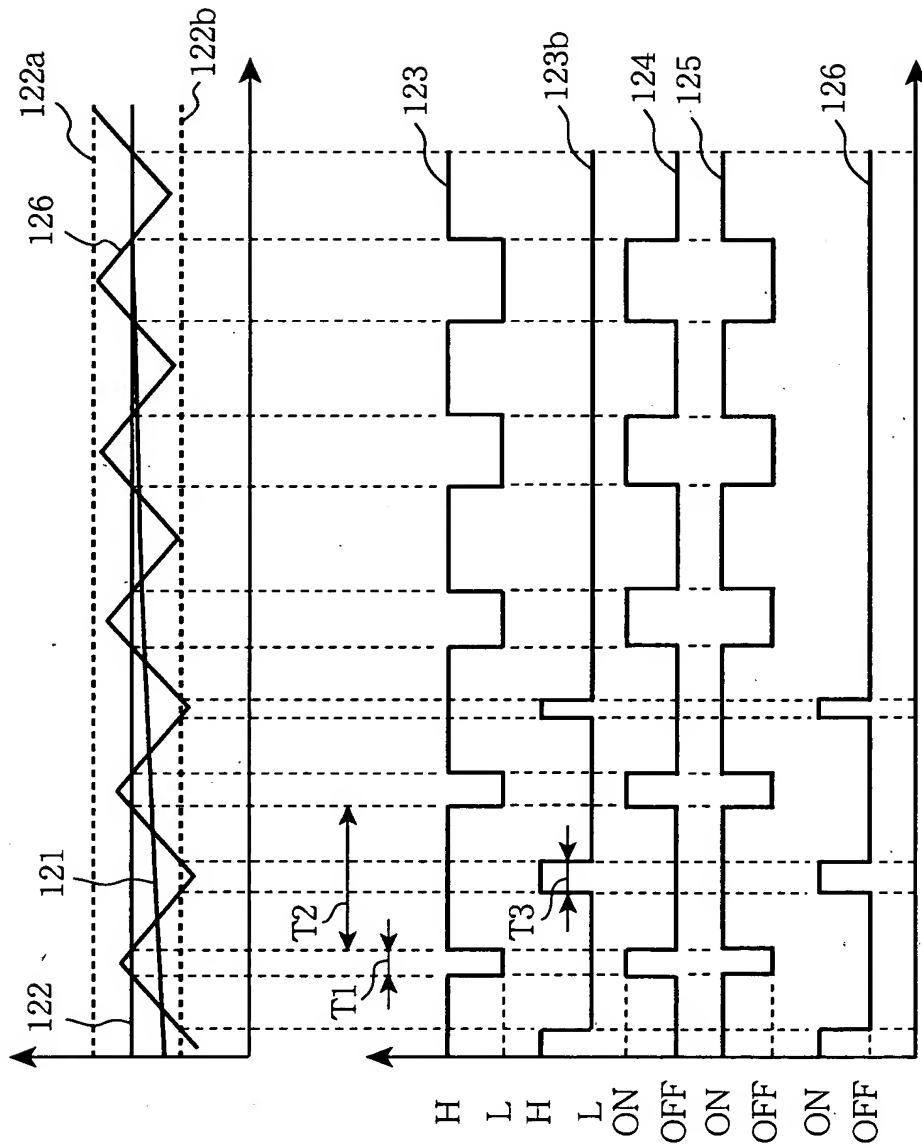
【図 2】



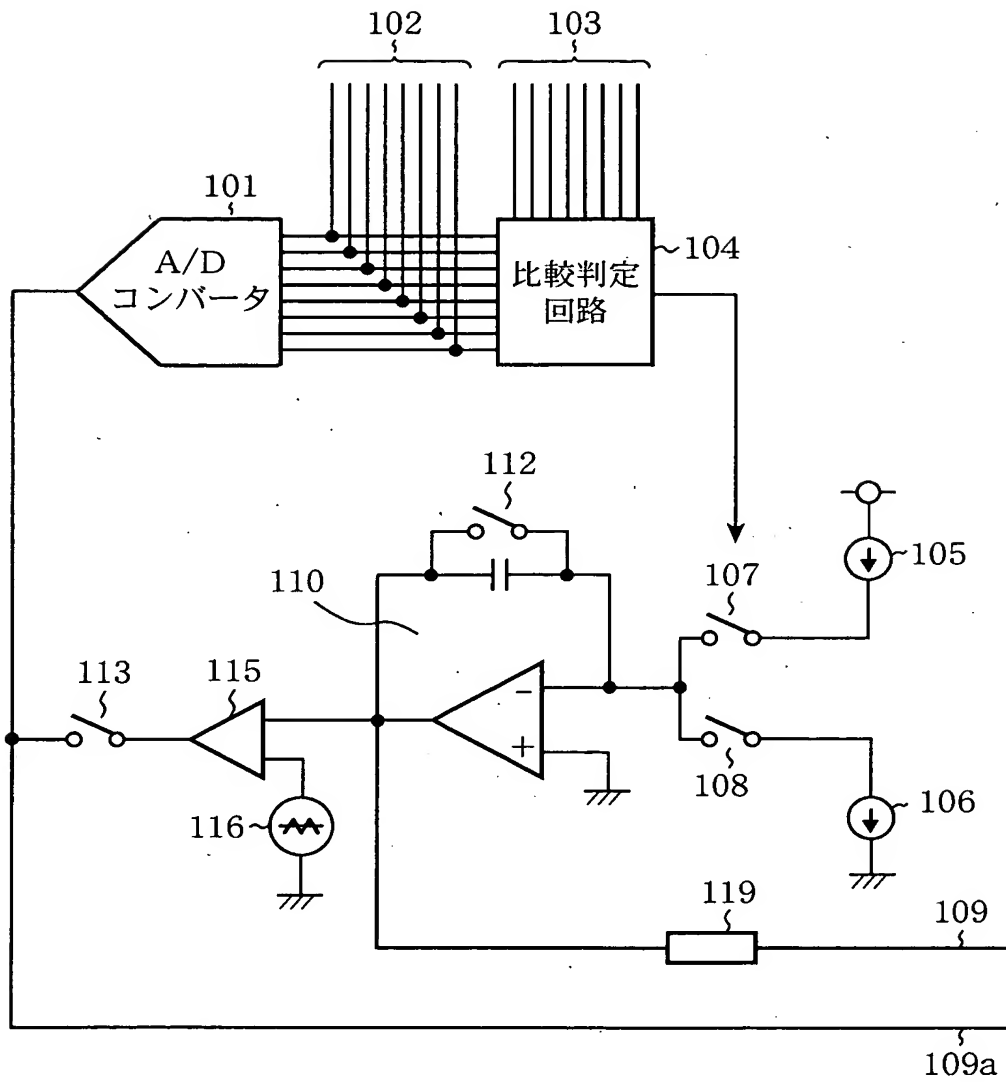
【図 3】



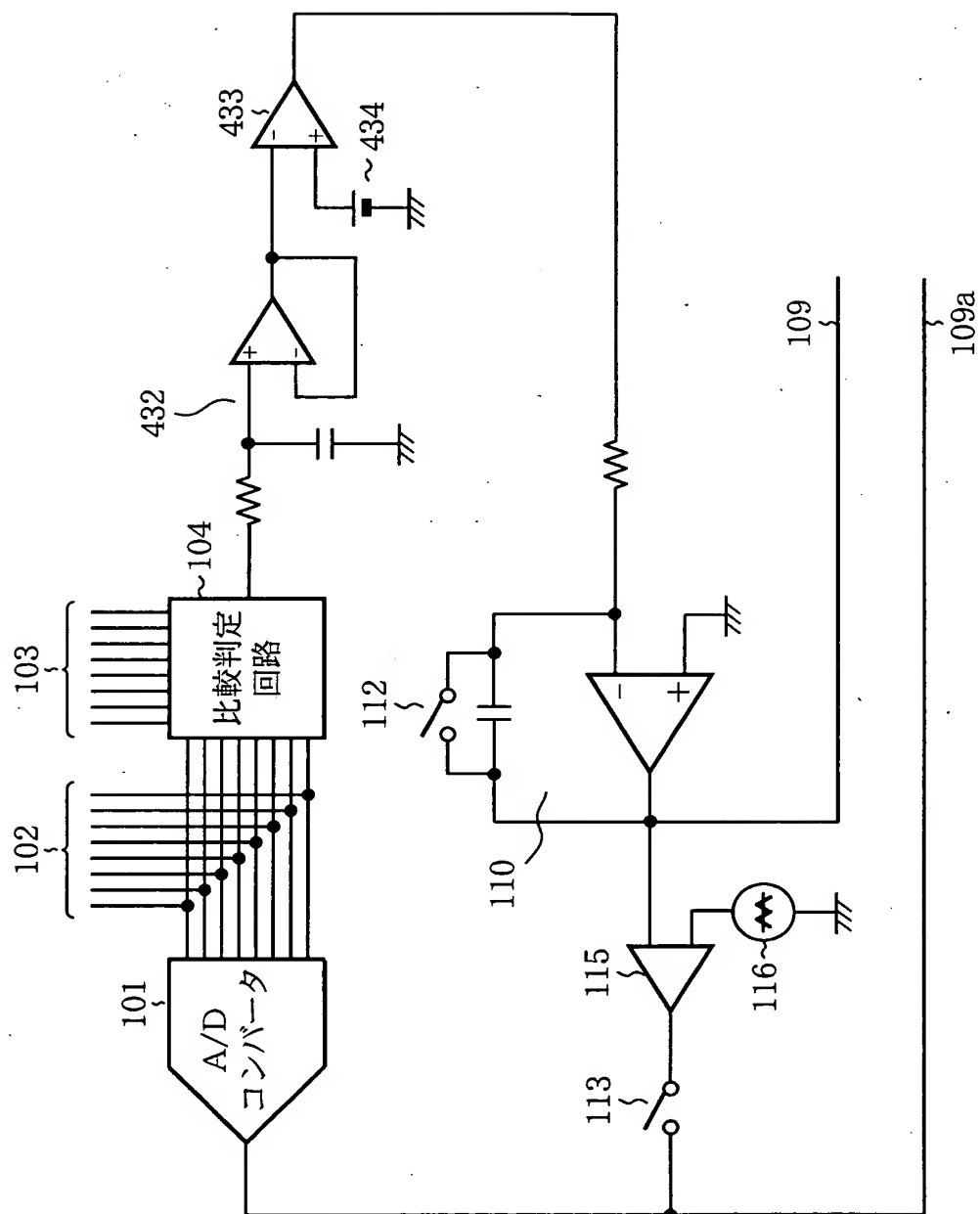
【図 4】



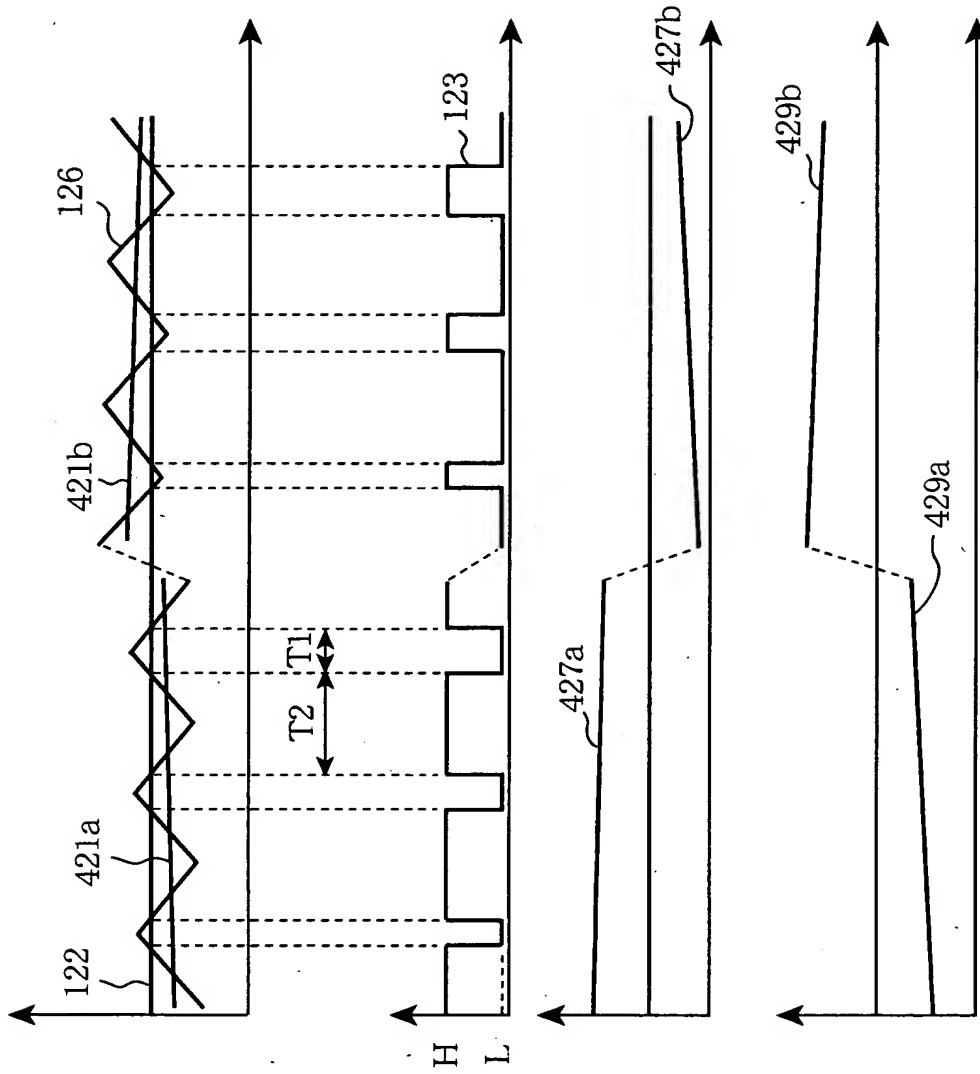
【図 5】



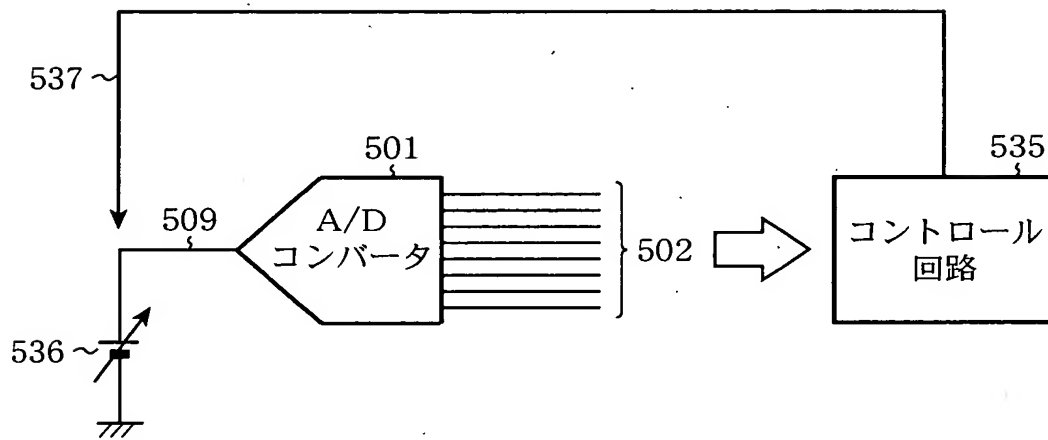
【图 6】



【図 7】



【図 8】





【書類名】 要約書

【要約】

【課題】 所定のデジタルコードのビット遷移点を自動的に、かつ高速に測定する。

【解決手段】 比較判定回路が、A/Dコンバータの出力コードとビット遷移点を示すデジタルコードとを比較し、両コードの大小に対応したデューティ比のデジタル信号を生成し、スイッチ手段が、積分回路に対し、判定出力がビット遷移点を示すコードより大きいことを示す期間では積分出力を減少させるように正方向電流源および負方向電流源の一方を接続し、また、判定出力がビット遷移点を示すデジタルコードより小さいことを示す期間では積分出力を増加させるように電流源の他方を接続制御し、加減算回路が、積分回路の出力積分電圧に所定の三角波信号またはのこぎり波信号を重畳してA/Dコンバータに入力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社